

Technická zpráva



Akademie věd České republiky
Ústav teorie informace a automatizace AV ČR, v.v.i.

Implementace akceleratorů pro dekódování konvolučního a Reed-Solomonova zabezpečovacího kódu na obvodech FPGA

Ing. Jan Kloub, Ing. Antonín Heřmánek PhD.
{kloub, hermanek}@utia.cas.cz, +420-2-6605 2502

Obsah

1	Úvod	1
2	Výpis obsahu CD-ROM	2

Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	19.12.2007	Kloub	Vytvoření dokumentu
1			
2			
3			
4			

1 Úvod

Tento dokument se skládá ze tří dílčích dokumentů, které jsou k tomuto dokumentu přiloženy.

Dokumenty popisují implementaci kodéru a dekodéru Reed-Solomonova zabezpečovacího kódu a dekodér blokového konvolučního kódu.

Popsané obvody lze využít jako akcelerátorů pro simulování přenosových kanálů.

Akcelerátory lze snadno připojit (přes ethernet, USB) k standardnímu osobnímu počítači a využít je například k simulaci v prostředí Matlab.

Přiložené dokumenty obsahují následující: dokument [1] popisuje implementaci kodéru a dekodéru Reed-Solomonova zabezpečovacího kódu v obvodu FPGA s ethernetovým rozhraním, v dokumentu [2] je popsána implementace Viterbiho dekodéru v obvodu FPGA s ethernetovým rozhraním a pro srovnání výpočetního výkonu implementace Viterbiho dekodéru na obvodu FPGA je popsána v [3] implementace dekodéru pomocí signálového procesoru TMS320C6416 firmy Texas Instruments umožňující komunikaci přes rozhraní USB pomocí protokolu RTDX.

Poděkování: Tato práce vznikla za podpory projektů číslo 1ET300750402 a 1ET100750408 Grantové agentury AV ČR.

2 Výpis obsahu CD-ROM

Na CD se nachází texty jednotlivých dokumentů a jejich přílohy.

Přiložené CD má následující adresářovou strukturu:

```
.
|-- doc/                text dokumentu ve formátu PDF
|-- RS/                 dokument [1] s jeho přílohami
|-- Viterbi_FPGA/       dokument [2] s jeho přílohami
|-- Viterbi_DSP/        dokument [3] s jeho přílohami
'-- readme.txt
```

Reference

- [1] Heřmánek, A; Dušek, J; Kloub, J. *Demonstrátor Reed Solomonova kodéru a dekodéru s ethernetovým rozhraním implementovaný v FPGA*
- [2] Kloub, J; Heřmánek, A. *Demonstrátor konvolučního kodéru a Viterbi dekodéru s ethernetovým rozhraním implementovaný v FPGA*
- [3] Kloub, J; Heřmánek, A. *Implementace Viterbiho algoritmu na signálovém procesoru TMS320C6416*